

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06243190 A

(43) Date of publication of application: 02.09.94

(51) Int. Cl

G06F 15/60**G01R 31/28****G06F 11/26**

(21) Application number: 05026614

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 16.02.93

(72) Inventor: ISHITA NOBUKATSU

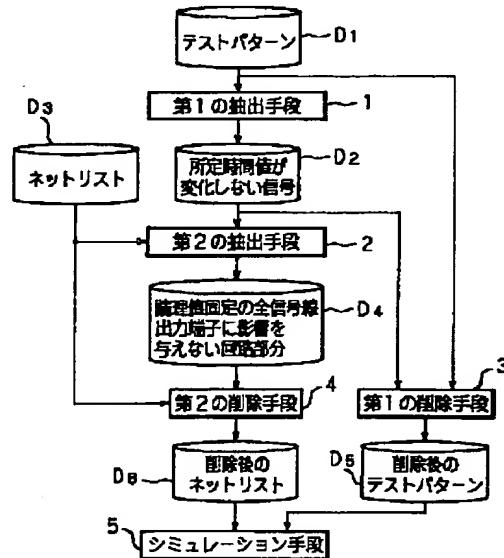
(54) LOGIC SIMULATOR

(57) Abstract:

PURPOSE: To quickly simulate a large-scale circuit with respect to logic simulation which verifies the design of a logic circuit.

CONSTITUTION: This simulator is provided with a first extracting means 1 which extracts invariable signal data D_2 having the value fixed to logical value '0' or '1' or X (indefinite) in all simulation time from test pattern D_1 , a second extracting means 2 which extracts a signal line having the value fixed to logical value '0' or '1' or X (indefinite) by the influence of the signal of this test pattern and all of elements, namely, circuit part converged to only the element gated by the logical value of this signal line a 2nd extracting means 2 for extracting the data D_4 , a deleting means 3 which deletes data D_4 from a network list D_3 and outputs a network list D_6 after deletion, and a means 5 which executes the logic simulation based on the network list D_6 after deletion and the test pattern D_5 after deletion.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-243190

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
G 0 6 F 15/60	3 6 0	D 7623-5L		
G 0 1 R 31/28				
G 0 6 F 11/26	3 1 0	7737-5B 6912-2G	G 0 1 R 31/ 28	F

審査請求 未請求 請求項の数 2 OL (全 9 頁)

(21)出願番号 特願平5-26614

(22)出願日 平成5年(1993)2月16日

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 井下 順功
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

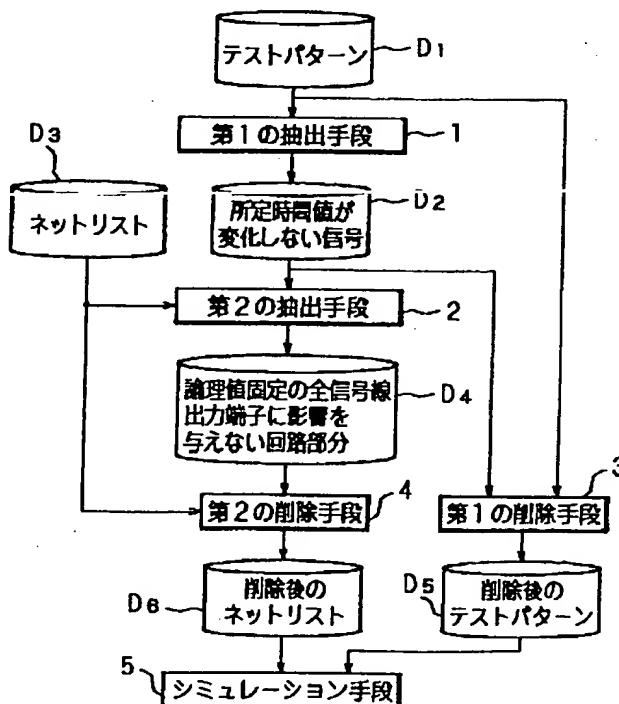
(74)代理人 弁理士 高田 守

(54)【発明の名称】論理シミュレータ

(57)【要約】

【目的】論理回路の設計検証を行う論理シミュレーションにおいて、大規模回路に対して高速なシミュレーションの実行を可能にする。

【構成】テストパターン D_1 から全シミュレーション時間において、値が論理値「0」、「1」又は「X（不定）」に固定されて変化しない信号データ D_2 を抽出する第1の抽出手段1と、そのテストパターンの信号の影響により、値が論理値で「0」、「1」又は「X（不定）」に固定される信号線と、この信号線の論理値によりゲーティングされる素子にのみ収斂する全ての素子、即ち回路部分とを抽出し、そのデータ D_3 を出力する第2の抽出手段2と、ネットリスト D_4 から前記データ D_4 を削除し、削除後のネットリスト D_5 を出力する削除手段3と、削除後のネットリスト D_5 及びテストパターン D_1 に基づき論理シミュレーションを実行する手段5とを備える。



【特許請求の範囲】

【請求項1】 検証対象論理回路のネットリスト及びテストパターンに基づき論理シミュレーションを行う論理シミュレータにおいて、前記テストパターンから、全シミュレーション時間にわたって論理値が変化しない信号を抽出して出力する第1の抽出手段と、前記抽出された信号に基づき全シミュレーション時間にわたって論理値が固定される全信号線と、前記検証対象論理回路の出力端子の出力レベルに影響を与えない回路部分とを前記ネットリストから抽出する第2の抽出手段と、抽出した信号線及び回路部分のデータを前記ネットリストから削除する手段とを備えたことを特徴とする論理シミュレータ。

【請求項2】 検証対象論理回路のネットリスト及びテストパターンに基づき論理シミュレーションを行う論理シミュレータにおいて、前記テストパターンから、全シミュレーション時間に対して所定の割合の時間にわたって論理値が変化しない信号を抽出して出力する第1の抽出手段と、前記抽出された信号の値が固定されている間を1つの動作モードとして決定する手段と、前記動作モード毎に夫々の動作モードの間、論理値が固定される全信号線、前記論理値が固定される信号線により前記検証対象論理回路の出力端子の出力値に影響を与えない回路部分を前記ネットリストから抽出する第2の抽出手段と、前記信号線及び回路部分のデータを前記ネットリストから削除する手段とを備えたことを特徴とする論理シミュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は設計した論理回路の動作をコンピュータで模擬し、期待している動作が実現されるか否かを知る論理検証のための論理シミュレータに関する。

【0002】

【従来の技術】従来の論理シミュレータにおいては論理検証対象である論理回路を構成する素子間の接続情報、所謂ネットリストと、論理回路に入力するテストパターンを、その検証対象領域の広、狭の如何にかかわらず変更することなく論理シミュレーションを行っている。

【0003】図9は従来の論理シミュレーションの処理手順を示すフローチャートである。まず、論理検証対象である論理回路のネットリストと、この論理回路に入力するテストパターンを設定し(ステップS20)、これらに基づいて論理シミュレーションを開始する。そしてこの論理シミュレーションの過程で各信号線に信号値の変化(以下イベントという)があるか否かを判断し(ステップS21)、いずれの信号線にもイベントが存在しない場合には論理シミュレーションを終了する。

【0004】いずれかの信号線にイベントが存在する場合には、その信号線に接続されている素子を特定し(ス

テップS22)、当該素子の出力値を計算する(ステップS23)。計算された出力値が変化するか否かを判断し(ステップS24)、変化する場合にはその素子の出力信号にイベントを発生させる(ステップS25)。そしてイベントがなくなったと判断された場合には論理シミュレーションを終了する。

【0005】

【発明が解決しようとする課題】ところで上述した如き従来の論理検証にあっては、大規模論理回路の論理検証において、論理回路の一部分しか動作しないテストパターンを入力する場合においても、検証対象回路に関しての全てのネットリストを用いて行うために論理シミュレーションに長い時間を要するという問題があった。

【0006】本発明の目的は、大規模回路のうちの一部分しか動作しないテストパターンを用いてシミュレーションを行う場合、また全回路が動作するテストパターンを用いる場合であっても、不必要的信号線、回路部分を特定し、これをネットリストから削除することで高速な論理シミュレーションを可能とした論理シミュレータを提供することにある。

【0007】

【課題を解決するための手段】第1の発明に係る論理シミュレータは、テストパターンから全シミュレーション時間において、論理値が変化しない信号を抽出する第1の抽出手段と、抽出されたこの変化しない信号に基づき論理値が固定になる信号線及びこの信号線の値によりゲーティングされる素子にのみ収斂する回路部分をネットリストから抽出する第2の抽出手段と、この信号線及び素子をネットリストから削除する手段とを備える。

【0008】第2の発明に係る論理シミュレータは、テストパターンから全シミュレーション時間に対する所定の割合の時間において、論理値が固定されている間を1つの動作モードとして決定する手段と、各動作モード毎に固定となるテストパターンの信号により、論理値が固定になる信号線及びこの信号線の論理値によりゲーティングされる素子にのみ収斂する回路部分をネットリストから抽出する第2の抽出手段と、抽出した信号線、回路部分をネットリストから削除する手段とを備える。

【0009】

【作用】第1の発明にあっては第1の抽出手段により全シミュレーション時間において、論理値が変化しない信号をテストパターンから抽出し、更に第2の抽出手段で前記論理値が変化しない信号に基づき、論理値が固定になる信号線及び出力端子に影響を与えない回路部分をネットリストから抽出し、これら信号線及び回路部分をネットリストから削除することにより、論理シミュレーション対象である論理回路規模が縮小され、高速な論理シミュレーションが可能となる。

【0010】第2の発明にあっては第1の抽出手段により全シミュレーション時間に対する所定の割合の時間に

わたって論理値が変化しない信号をテストパターンから抽出し、更に動作モード決定手段にてこの変化しない信号により値が所定時間にわたって論理値が固定されている間を1つの動作モードとして特定し、夫々の動作モード毎に論理値が固定となる信号により、論理値が固定される信号線を決定し、この信号線及びこの論理値により出力端に影響を与えない回路部分を抽出し、これを削除手段により前記ネットリストから削除することにより、ネットリストが縮減され、高速な論理シミュレーションが行える。

【0011】

【実施例】以下、本発明をその実施例を示す図面に基づき具体的に説明する。

(実施例1) 図1は本発明に係る論理シミュレータを構成する各手段及びその入、出力データを示すブロック図である。図中1は第1の抽出手段、2は同じく第2の抽出手段、3は第1の削除手段、4は第2の削除手段、5はシミュレーション手段を示している。前記第1の抽出手段1は論理シミュレーション実行に先立って、論理検証対象である論理回路に入力すべきテストパターンD₁に基づき全シミュレーション時間にわたって論理値が変化しない信号を抽出し、これを論理値が変化しない信号データD₁として出力する。

【0012】第2の抽出手段2は前記第1の抽出手段1から抽出された変化しない信号データD₁と論理回路の各素子の論理的機能及び素子間の接続情報であるネットリストD₂に基づき、全シミュレーション時間にわたって論理値が固定される全信号線、及びこの論理値が固定される全信号線により検証対象論理回路の出力端子の出力値に影響を与えない回路部分をネットリストD₃から抽出し、これをデータD₂として出力する。

【0013】第1の削除手段3は最初のテストパターンD₁から第1の抽出手段1にて抽出された論理値が変化しない信号データD₁を削除し、削除後のテストパターンD₃をシミュレーション手段5へ与える。また第2の削除手段4は抽出された論理値が固定された全信号線及び出力端子の出力値に影響を与えない回路部分のデータD₂を前記ネットリストD₃中から削除し、削除後のネットリストD₄を出力する。5は論理シミュレーション手段であり、前記削除後のテストパターンD₃及び削除後のネットリストD₄に基づき論理シミュレーションを実行する。

【0014】次に実施例1の動作を、図2に示すフローチャートに従って説明する。まず検証対象論理回路の素子とその素子間の配線情報であるネットリストD₁と、検証対象論理回路へ与えるテストパターンD₁とを設定する(ステップS1)。テストパターンD₁に基づいて全シミュレーション時間にわたって信号のレベル値が論理値でみて「0」、「1」又は「X(不定)」のいずれかで変化しない信号(入力信号)を検索する(ステップS

2)。

【0015】例えば図3に示す如き論理回路を図4に示す如きテストパターンを用いて論理検証を行う場合について具体的に説明する。図3においてL₁, L₃はANDゲート、L₂, L₆はORゲート、L₄, L₅は反転素子、L₁～L₁₀はいずれも信号線を示している。図4においてA, B, C, Dはいずれも図3に示す信号線L₁, L₂, L₃, L₄に対する各入力信号である。図4(a)に示す入力信号Aは全シミュレーション時間にわたって「L」レベル、即ち論理値「0」のままで変化しないから、入力信号Aを全シミュレーション時間にわたって変化しない信号と決定する。

【0016】次にステップS2で決定した信号Aの影響により信号のレベル値が論理値で「0」、「1」又は「X(不定)」のいずれかに固定される信号線を決定する(ステップS3)。例えば図3の論理回路においては入力信号Aの影響により信号線L₁, L₅, L₆が論理値「0」に固定されるから、信号線L₁, L₅, L₆を論理値が固定された信号線と決定する。

【0017】決定した信号線及びこれら信号線の論理値によりゲーティングされる素子にのみ収斂するすべての素子(回路部分)と信号線とをネットリストから削除すると共に、ステップS1で設定したテストパターンからステップS2で検索した入力信号を削除する(ステップS4)。例えば図3に示す論理回路の場合、ステップS3で既に信号線L₁, L₅, L₆が論理値「0」に固定と決定されているが、その「0」固定のためにANDゲートL₁, L₃が信号線L₁, L₃の値を夫々ゲーティングすることになる。

【0018】そこで信号線L₁からネットリストを遡ることにより信号線L₁にのみ収斂するORゲートL₂と信号線L₂, L₃, L₄をネットリストD₃から削除する。更にゲーティングするANDゲートL₁とゲーティングされる信号線L₁もネットリストD₃から削除する。同様に信号線L₁からネットリストD₃を遡ることにより信号線L₁にのみ収斂する素子及び信号線もネットリストD₃から削除することになるが、信号線L₁は反転素子L₅への入力にもなっているためネットリストD₃を遡ることを終了し、ゲーティングするANDゲートL₃をネットリストD₃から削除し、その出力信号線L₁に全シミュレーション時間にわたって論理値「0」を出力する素子を接続し、ステップS4の処理を終了する。ステップS4の処理を終了した時点で図3に示す論理回路のネットリストD₃は、等価的に図5に示す論理回路のネットリストと同じになる。

【0019】ステップS4で削除されたテストパターンと同じく削除されたネットリストD₃とに基づいて論理シミュレーションを開始する。この論理シミュレーションの過程で各信号線L₆, L₁, L₂, L₃, L₄, L₁₀にイベントがあるか否かを判断し(ステップS5)、いずれの信

号線にもイベントが存在しないとき論理シミュレーションを終了する。またイベントがある場合には従来と同様にイベントのある信号に接続される素子を取り出し(ステップS6)、その素子の出力値を計算し(ステップS7)、出力値の変化があるか否かを判断し(ステップS8)、無い場合はステップS5に戻り、また有る場合はイベントを発生させ、信号線上に変化の情報を付加する(ステップS9)。このような実施例1にあってはテストパターン、特にネットリストD₁が大幅に簡略化され、論理シミュレーションに要する時間が短縮されることとなる。

【0020】(実施例2)図6は本発明の実施例2を構成する各手段及びその入、出力データを示すブロック図である。この実施例2にあっては第1の抽出手段1にてテストパターンD₁から全シミュレーション時間に対する所定割合の時間の間、論理値が変化しない入力信号データD₂を抽出し、この抽出した入力信号データD₂を動作モード決定手段6及び第1の削除手段3へ与える。動作モード決定手段6は入力信号の値が固定されている間を、1つの動作モードとして識別し、例えば動作モード「1」として特定し、動作モードデータD₁として第2の抽出手段2へ与える。

【0021】第2の抽出手段2は動作モードデータD₁、ネットリストD₁に基づき動作モード毎に、その各動作モード夫々の全時間にわたって論理値が固定される全信号線と、論理値が固定される前記各信号線により検証対象論理回路の出力端子の出力値に影響を与えない回路部分とを抽出し、これをデータD₃として第2の削除手段4へ与える。第1の削除手段3は最初のテストパターンD₁から第1の抽出手段1にて抽出された、値が変化しない信号データD₂を削除し、削除後のテストパターンD₃をシミュレーション手段5へ与える。第2の削除手段4は抽出した全信号線及び回路部分のデータD₃をネットリストD₄から削除し、削除後のネットリストD₅をシミュレーション手段5に与える。シミュレーション手段5は前記削除後のネットリストD₅及びテストパターンD₁に基づき論理検証を行う。

【0022】次に実施例2の動作を図7に示すフローチャートに従って説明する。実施例1では、テストパターンから、全シミュレーション時間にわたって、論理値が「0」、「1」又は「X(不定)」に固定、即ち変化しない信号を抽出したが、実施例2では全シミュレーション時間に対する所定の割合の時間だけ、論理値が「0」、「1」又は「X(不定)」に固定される場合において、その固定されている間を1つの動作モードとして特定する(ステップS11)。

【0023】例えば図8に示すテストパターンを用いて図3に示す論理回路を論理検証する場合についてみると、図8に示すテストパターンでは、全シミュレーション時間の例えば50%以上にわたって信号の値が変わらない信号を検索する。検索した信号をテストパターンD₁か

ら削除し、削除後のテストパターンD₃としてこれをシミュレーション手段5へ与える。図8(a)に示す入力信号Aは全シミュレーション時間に対する50%以上の間にわたって値が論理値「0」に固定されるため、この入力信号Aが論理値「0」である期間を動作モード「1」と決定する。なお全シミュレーション時間に対する割合は特に50%以上に限るものではなく、これ以下であってもよい。

【0024】このようにして動作モードを決定した後は、その動作モード毎に、換言すればテストパターンを時間で分割して各分割した区分毎に実施例1と同様にその動作モード「1」において論理値が変化しない入力信号を決定し(ステップS12)、更に決定した信号の影響により、値が論理値「0」、「1」又は「X(不定)」に固定される信号線を決定し(ステップS13)、その信号線の論理値によりゲーティングされる素子にのみ収斂する全ての素子、即ち回路部分と、前記信号線とをネットリストから削除し(ステップS14)、削除した後のネットリストD₅をシミュレーション手段5へ与える。その後は実施例1と同様に論理シミュレーション手段5にて論理検証を実行する。

【0025】

【発明の効果】以上のように第1の発明によれば、テストパターンから全シミュレーション時間にわたって論理値が変化しない信号を抽出し、抽出したこの信号の影響により論理値が固定される信号線を決定し、その信号線の論理値によりゲーティングされる回路部分と前記信号線とをネットリストから削除することにより、大規模論理回路を実質的に縮減した状態とすることで高速にシミュレーションすることができる。

【0026】第2の発明によれば、テストパターンから全シミュレーション時間に対して、所定の割合の時間、論理値が変化しない信号を抽出し、抽出したこの信号の論理値が固定されている間を1つの動作モードとして決定し、夫々の動作モード毎に論理値が固定となる信号の影響により、論理値が固定される信号線を決定し、その信号線の論理値によりゲーティングされる回路部分と前記信号線とをネットリストから削除することにより、大規模論理回路を実質的に縮減した状態とすることで高速にシミュレーションすることができる。

【図面の簡単な説明】

【図1】本発明の実施例1の構成を示すブロック図である。

【図2】本発明の実施例1の処理手順を示すフローチャートである。

【図3】論理検証対象である論理回路の回路図である。

【図4】論理検証対象である論理回路に入力するテストパターンを示すタイミングチャートである。

【図5】図3に示す検証対象論理回路に実施例1による処理を施した後の等価回路の回路図である。

【図6】本発明の実施例2の構成を示すブロック図である。

【図7】本発明の実施例2の処理手順を示すフローチャートである。

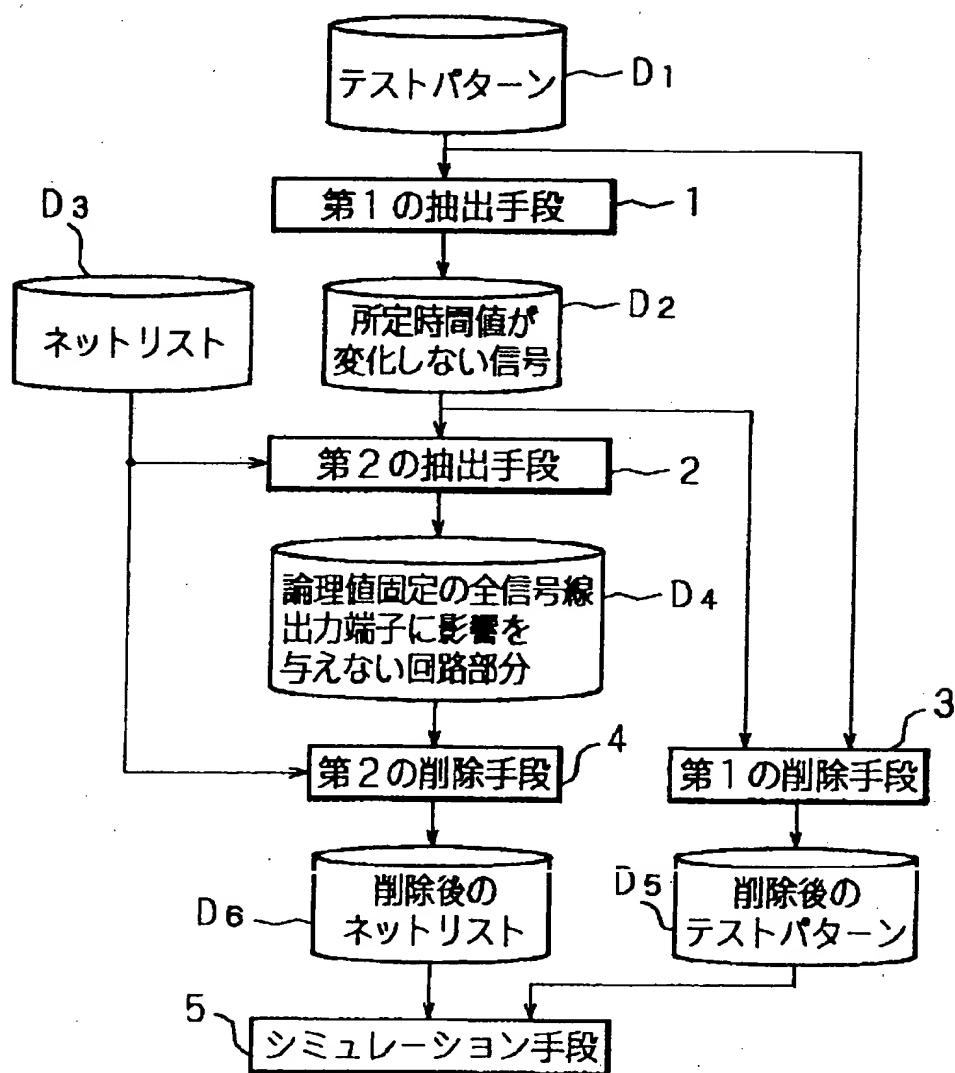
【図8】図3に示す検証対象論理回路に入力する他のテストパターンを示すタイミングチャートである。

【図9】従来の論理シミュレータによる論理検証の処理手順を示すフローチャートである。

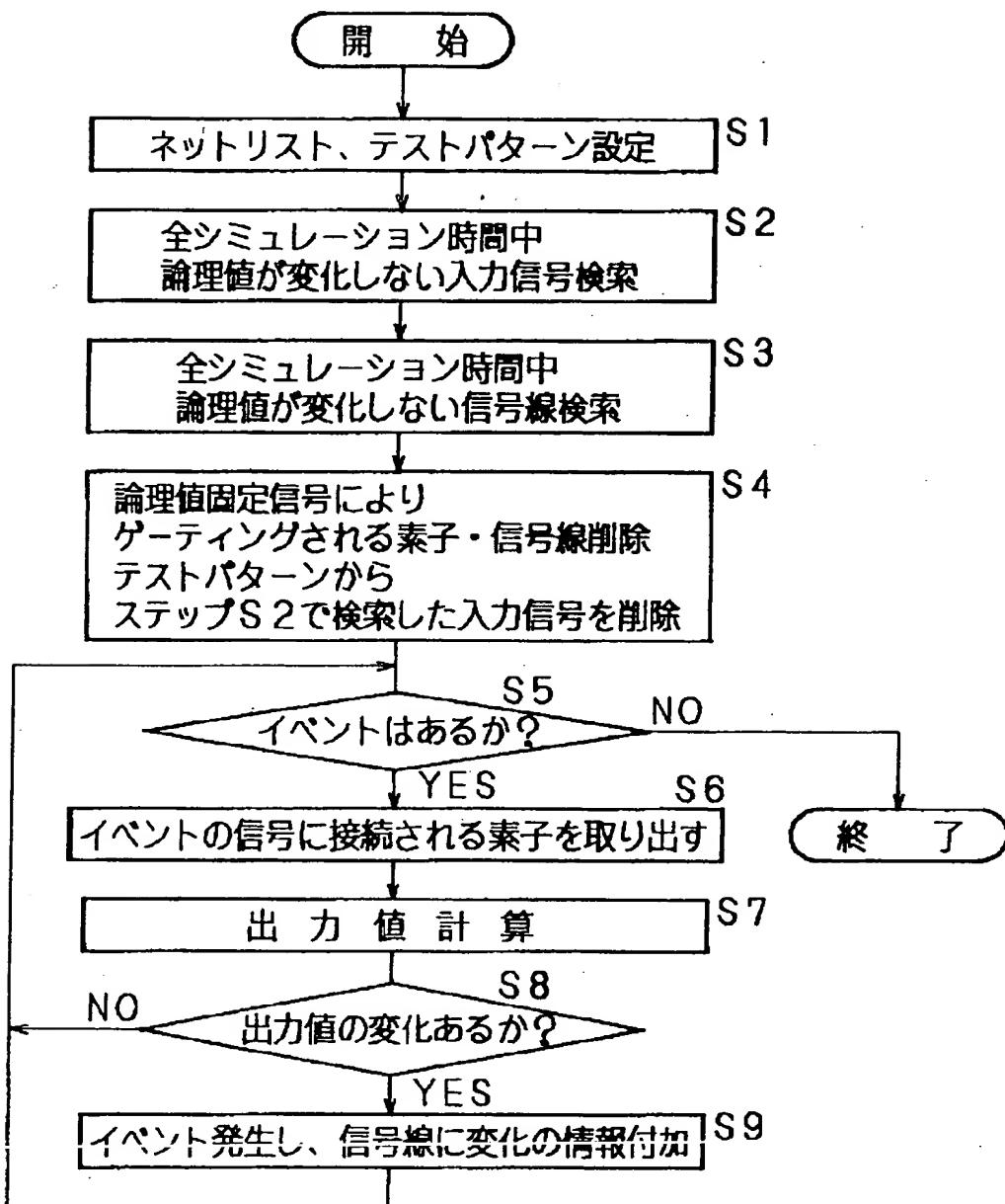
【符号の説明】

- 1 第1の抽出手段
- 2 第2の抽出手段
- 3 第1の削除手段
- 4 第2の削除手段
- 5 シミュレーション手段
- 6 動作モード決定手段

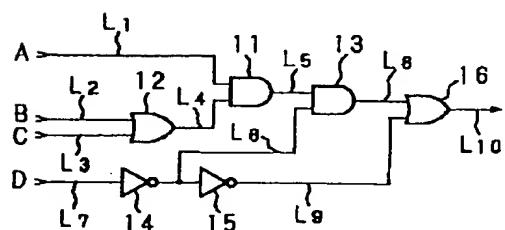
【図1】



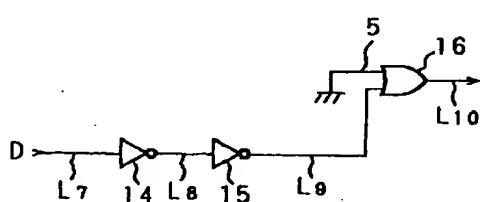
【図2】



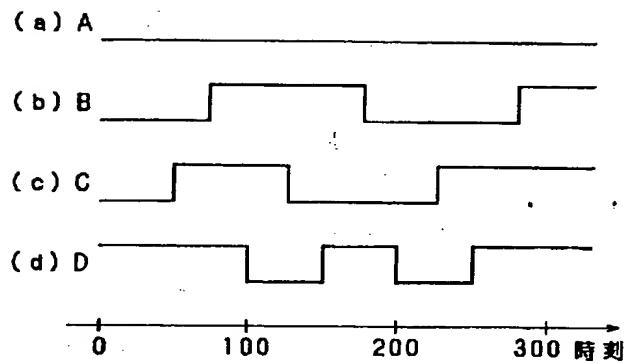
【図3】



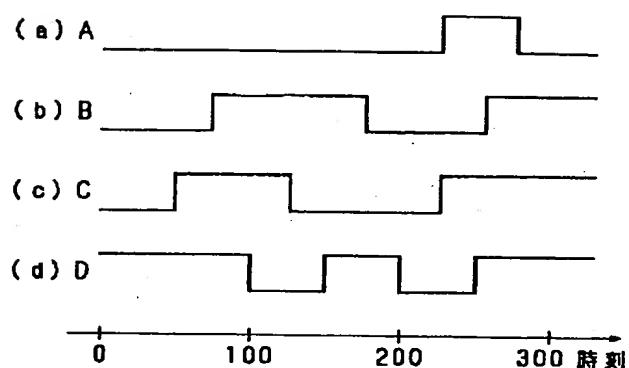
【図5】



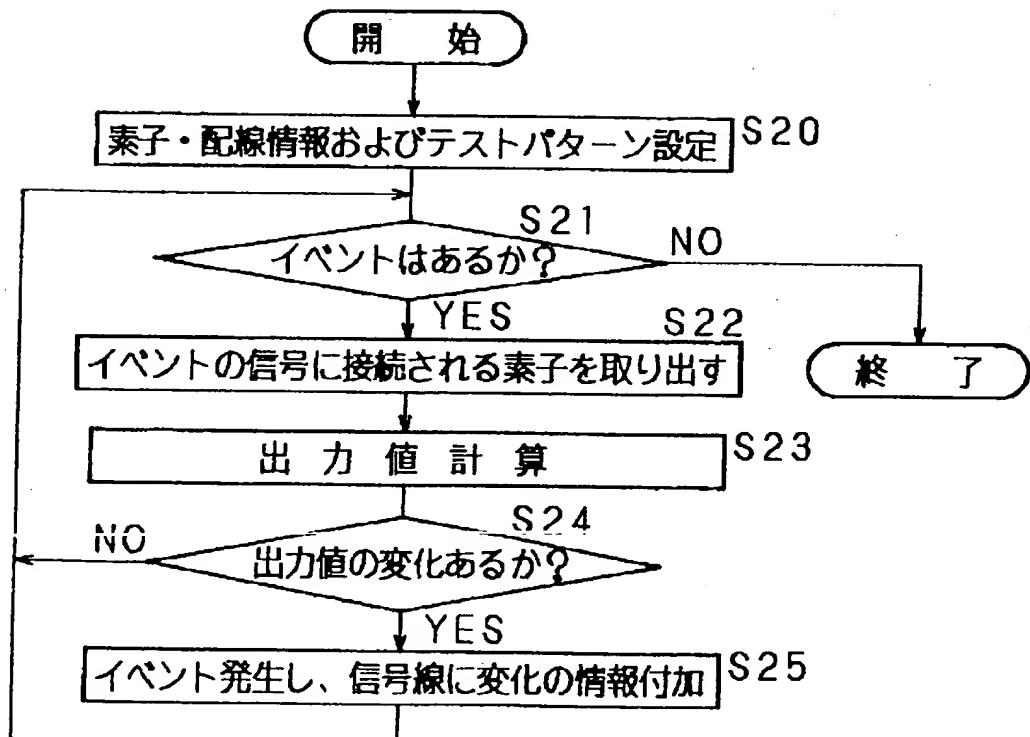
【図4】



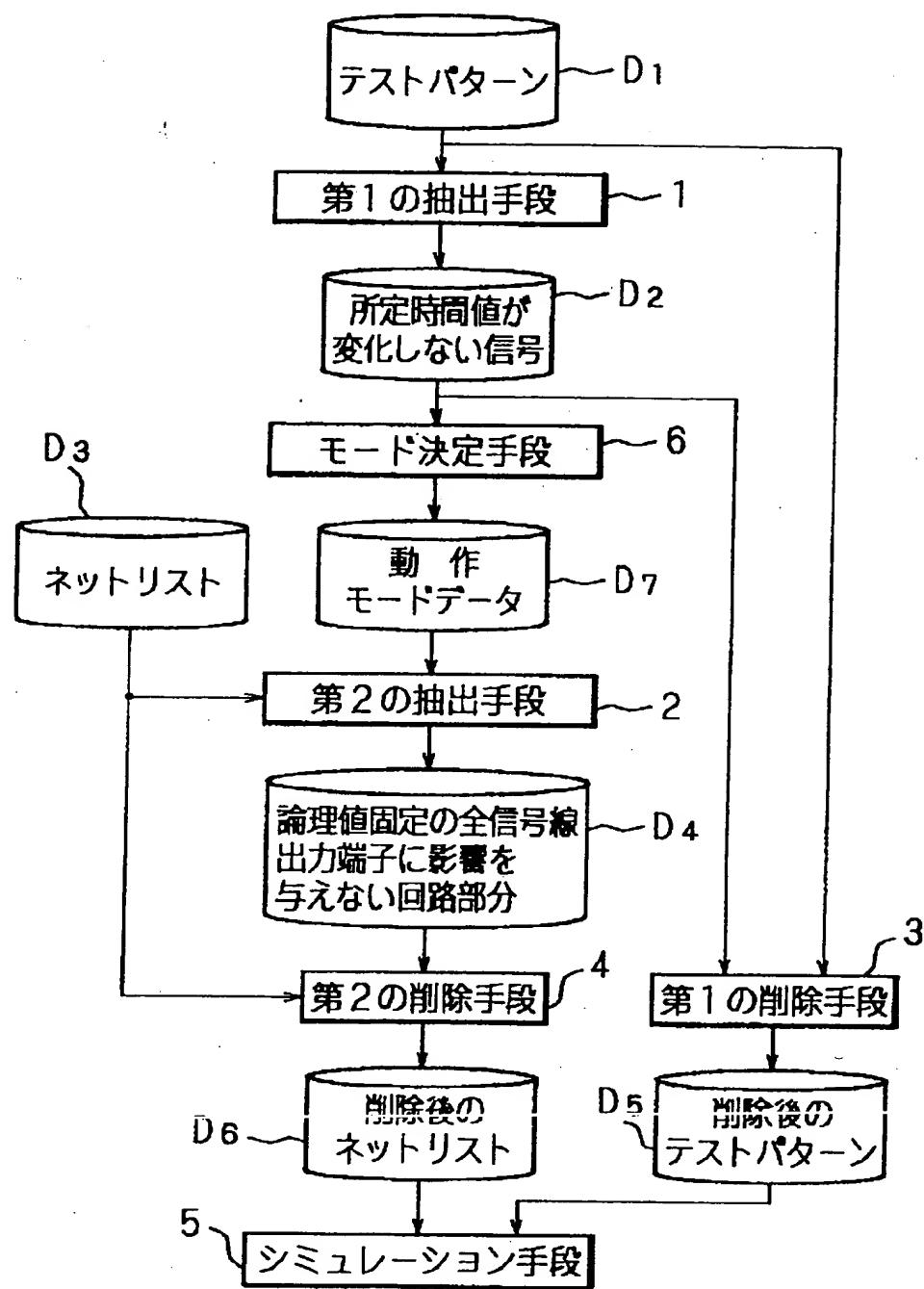
【図8】



【図9】



【図6】



【図7】

